

Синтезатор частоты

Синтезатор частоты является неотъемлемой частью современного трансивера. Естественно, в процессе разработки этого аппарата я столкнулся с проблемой создания высококачественного синтезатора частоты.

Простейшие однопетлевые конструкции с низкой частотой сравнения [1] ввиду невозможности получения удовлетворительных параметров к рассмотрению не принимались.

Синтезаторы частоты, использующие управляемый опорный генератор для получения мелкого шага перестройки [2], не обеспечивают достаточную стабильность, и, кроме того, имеют проблемы сопряжения сегментов.

Многочетлевой синтезатор частоты [3] мог бы обеспечить необходимые параметры, однако создание такого синтезатора в любительских условиях проблематично.

Хорошим решением является использование гибридного синтезатора на базе DDS и фильтрующей петли ФАПЧ [4], [5]. Однако на момент начала разработки данной конструкции микросхемы DDS были мне не доступны.

После проведения ряда экспериментов я остановил свой выбор на современной технологии построения синтезаторов частоты с использованием делителя с дробным переменным коэффициентом деления (ДДПКД) и цифровой компенсацией побочных составляющих.

Дробный коэффициент деления получается путем изменения коэффициента деления обычного делителя периодически таким образом, что средний коэффициент деления будет содержать дробную часть. Например, для получения дробной части коэффициента деления $N.1$ необходимо каждый десятый цикл использовать коэффициент деления $N+1$. Тогда средний коэффициент деления составит:

$$N_{cp} = \frac{9 \cdot N + (N + 1)}{10} = N + \frac{1}{10}$$

Применение ДДПКД позволяет уменьшить шаг перестройки частоты по сравнению с обычным ДПКД.

Платой за уменьшение шага перестройки является возникновение большого количества дискретных побочных составляющих в спектре колебаний такого синтезатора. Побочные составляющие возникают вследствие модуляции коэффициента деления делителя. Их природа является предсказуемой, и они могут быть скомпенсированы с помощью аналоговых цепей компенсации [6], [7]. К сожалению, в силу применения высокоточных аналоговых узлов подобные схемы не могут обеспечить достаточно большое подавление побочных составляющих, и, кроме того, требуют кропотливой настройки и использования высококачественных компонентов имеющих повышенную стабильность (как температурную, так и во времени).

Настоящей революцией стало изобретение в 1984 году Джоном Уэллсом (фирма Marconi Instruments) технологии синтезаторов частоты с использованием делителя с дробным переменным коэффициентом деления (ДДПКД) и цифровой компенсацией побочных составляющих [8].

В основе технологии лежат принципы преобразования дискретных побочных составляющих в шум и управления формой (окраской) этого шума. Вместо того чтобы пытаться подавить дискретные побочные составляющие (путем их компенсации) они «рассеиваются» по спектру путем модуляции коэффициента деления ДПКД псевдослучайной последовательностью (ПСП), превращаясь в шум, причем алгоритм генерации ПСП обеспечивает особую форму шума – с минимумом шума вблизи частоты основного колебания. Происходит как бы обмен пониженного уровня шума вблизи основного колебания на повышенный вдали. Однако, учитывая фильтрующие свойства петли ФАПЧ, шумы вдали от основного колебания будут подавлены петлевым фильтром (при правильном проектировании последнего).

Рассмотрим работу подобного синтезатора частоты (см. рис.1). Назначение первого аккумулятора такое же, как и в простом ДДПКД – модуляция коэффициента деления ДПКД ($N/N+1$) для установки коэффициента деления. Выход данного аккумулятора показывает фазовую ошибку, которая возникает в синтезаторах с ДДПКД без коррекции. Второй аккумулятор интегрирует значение фазовой ошибки, последующие аккумуляторы повторяют данный процесс. Сигнал переполнения второго аккумулятора манипулирует коэффициент деления ДПКД в соответствии с дифференциалом от влияния первого аккумулятора, и т.д.

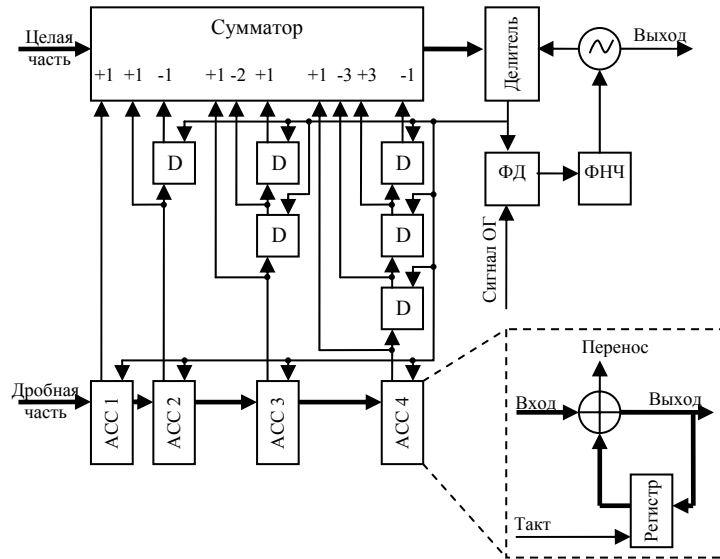


Рисунок 1 Блок схема синтезатора частоты с ДДПКД и цифровой компенсацией побочных составляющих.

Коэффициенты суммирования в сумматоре (рис.1) соответствуют строкам из треугольника Паскаля. Как известно сумма каждой строки треугольника Паскаля, кроме первой, равна 0, поэтому только первый аккумулятор имеет влияние на среднее значение коэффициента деления ДДПКД. Остальные аккумуляторы обеспечивают генерацию ПСП с распределением, обеспечивающим необходимую форму шума.

Количество аккумуляторов может быть разным, однако оптимальным является использование трех-пяти. Меньшее количество не позволяет получить нужное подавление побочных составляющих, а большее – вынуждает применять фильтры высокого порядка в петле ФАПЧ, т.к. скорость нарастания шума увеличивается с увеличением количества аккумуляторов (порядка системы).

Следует отметить, что способность «рассеивать» дискретные побочные составляющие зависит от разрядности аккумуляторов и их начального состояния. Если разрядность аккумулятора будет слишком мала, то генерируемая ПСП будет иметь малую длину и, фактически, будет являться периодической, а не «случайной» последовательностью. Кроме того, возможны состояния аккумулятора, приводящие к циклическим последовательностям (например, 1000000->0000000->1000000->...). Простейший метод борьбы с данным явлением – установка младшего бита первого аккумулятора в «1». Это вносит постоянную погрешность установки частоты с величиной

$$\frac{F_0}{2^L},$$

где L – разрядность аккумулятора, а F_0 - частота сравнения ФД.

Блок схема синтезатора частоты представлена на рис.2, внешний вид и принципиальная схема приведены на рис. 3 и 4 соответственно. Синтезатор состоит из ГУНа, буферных каскадов, выходного делителя и схемы ФАПЧ с ДДПКД.

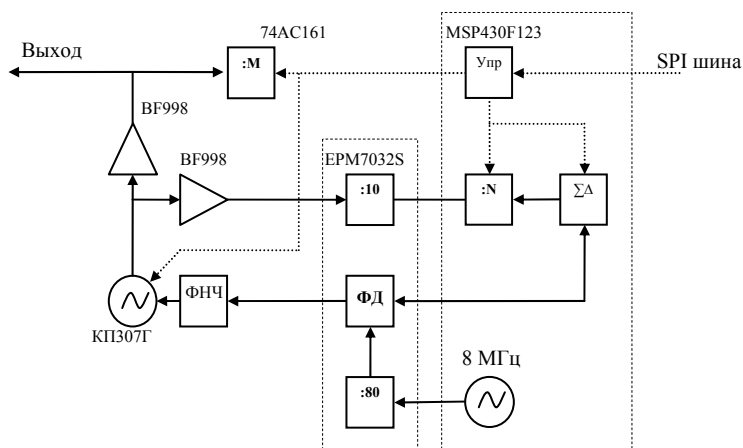


Рисунок 2 Блок схема синтезатора частоты

ГУН собран на полевом транзисторе Q2 (КП307Г). В качестве резонатора использована линия из посеребренного провода, закрепленная на фторопластовом каркасе для придания механической прочности и стабильности. ГУН работает в трех поддиапазонах (см.таблицу 1). Переключение поддиапазонов осуществляется с помощью *pin*-диодов D7, D8 (KA509). Перестройка осуществляется с помощью шести варикапов D1-D6 (BB133), использование большого количества варикапов позволяет улучшить шумовые параметры синтезатора [9]. Два буферных каскада на транзисторах Q3, Q4 обеспечивают развязку между ГУНом и делителями. Выходной делитель собран на м/сх U7 (74AC161). В таком включении он обеспечивает получение коэффициентов деления от 1 до 9 (в данном трансивере используются коэффициенты деления от 2 до 7, еще на 2 частота делится делителем в блоке ВЧ, см. таблицу 2).

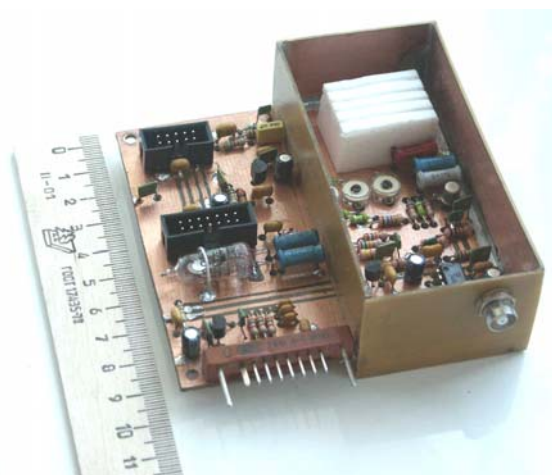


Рисунок 3 Внешний вид синтезатора частоты

Таблица 1 Диапазоны ГУНа

| Диапазон ГУН | Частота ГУН, МГц |
|--------------|------------------|
| 1 | 90.0-98.8 |
| 2 | 85.0-88.0 |
| 3 | 78.3-79.6 |

Таблица 2 Коэффициенты деления частоты ГУНа на разных диапазонах

| Диапазон | 160м | 80м | 40м | 30м | 20м | 17м | 15м | 12м | 10м |
|---------------------|------|-----|-----|-----|-----|-----|-----|-----|-----|
| Коэффициент деления | 14 | 10 | 8 | 6 | 10 | 6 | 6 | 4 | 4 |

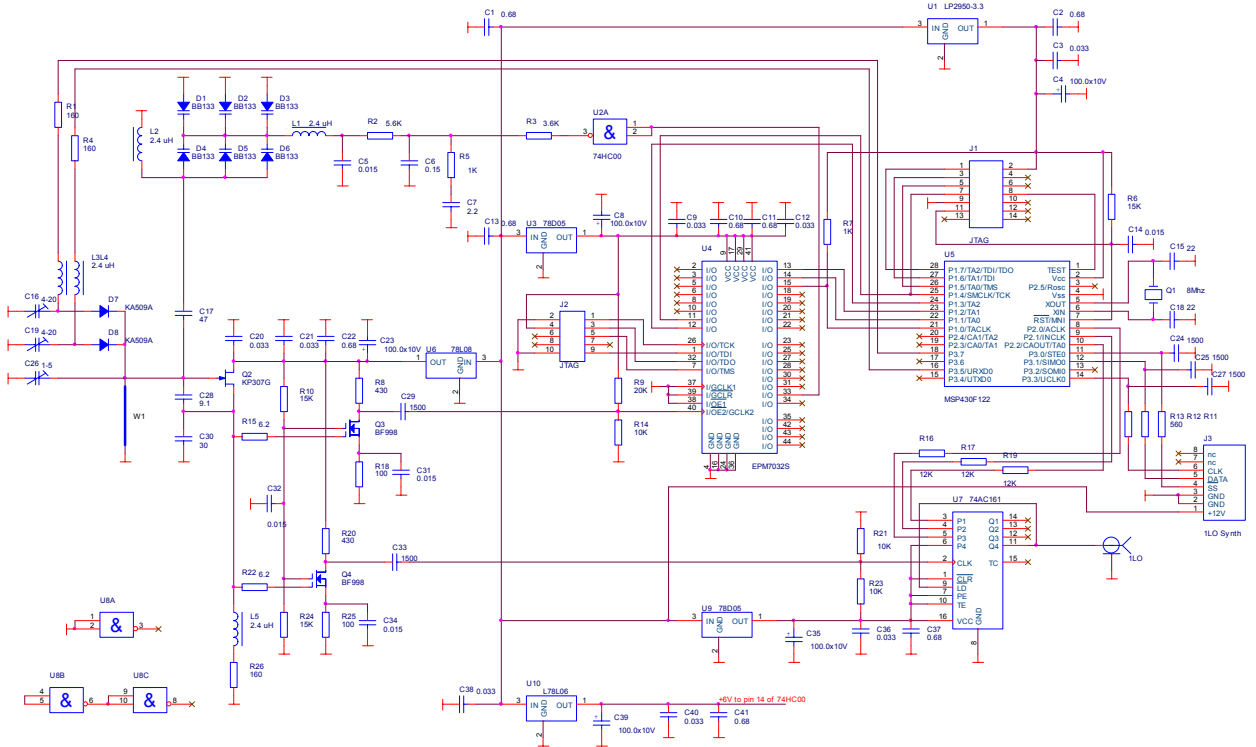


Рисунок 4 Принципиальная схема синтезатора частоты

Основу синтезатора (ДДПКД и система ФАПЧ) составляют микроконтроллер U5 (MSP430F123) и ПЛИС U4 (EPM7032S). Для узлов требующих высокого быстродействия используется ПЛИС, а для сложного алгоритма ДДПКД и SPI интерфейса управления используется микроконтроллер. Такое решение позволяет уменьшить стоимость синтезатора и использовать широкодоступные компоненты, однако производительность микроконтроллера (8 MIPS) ограничивает выходную частоту ДДПКД значением 150кГц (в данном синтезаторе частота сравнения равна 100кГц). Еще раз отмечу, что в отличие от большинства широкораспространенных конструкций синтезаторов частоты, где микроконтроллеры выполняют только функции управления синтезатором, микроконтроллер U5 в данной конструкции непосредственно участвует в процессе синтеза частоты, рассчитывая 100000 раз в секунду новое значение коэффициента деления (все функции управления возложены на отдельный блок управления).

Сигнал с выхода ИЧФД (реализованного на ПЛИС U4) усиливается м/сх U2 и отфильтровывается пассивным фильтром. Следует отметить, что использование ДДПКД с цифровой компенсацией побочных колебаний требует применения высоколинейного ИЧФД и петлевого фильтра. В противном случае высокочастотный шум, в результате интермодуляционных искажений, преобразуется в низкочастотный, и нормальное функционирование синтезатора частоты будет нарушено. Элементы петлевого фильтра рассчитаны с использованием программы MathCAD (полоса петли 400Гц). Время перестройки (при моделировании) было менее 10мс.

Управление частотой синтезатора осуществляется по последовательной шине (SPI интерфейс).

В программе синтезатора частоты были использованы четыре 32-х битных аккумулятора. Так как шаг перестройки ГУН $\frac{10 \cdot 10^5}{2^{24}} \approx 0.06 \text{ Hz}$ более чем достаточный, младший байт входа первого аккумулятора всегда установлен в 00000001b для предотвращения появления состояний приводящих к циклическим последовательностям в аккумуляторе.

Более подробно данный синтезатор описан в моей статье в журнале QEX [10].

Блок DSP

«Сердцем» трансивера является блок DSP. Внешний вид блока DSP приведен на рис.5, а схема на рис.7.

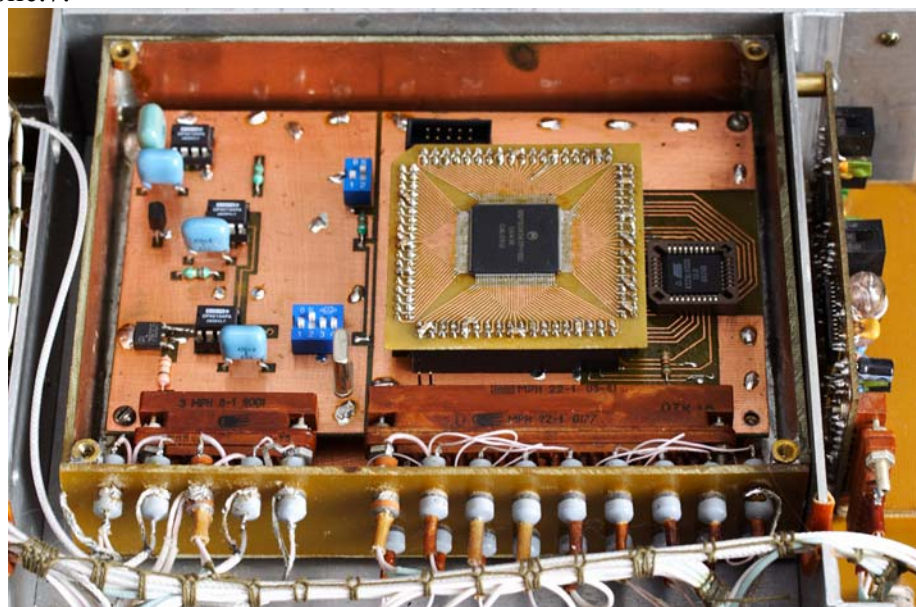


Рисунок 5 Внешний вид блока DSP

Аппаратная часть блока DSP особенностей не имеет и состоит из стандартных решений, описанных в справочных листках (datasheets) на входящие в состав блока микросхемы. Преобразование сигналов из аналоговой формы в цифровую осуществляется с помощью м/сх АЦП U8 (CS5381) и обратно осуществляется с помощью м/сх ЦАП U12 (CS4392). Обмен данными в формате I²S осуществляется через стандартные интерфейсы DSP. В качестве DSP применен цифровой процессор фирмы Motorola DSP56367. Он работает с тактовой частотой 150МГц и имеет производительность 150 MIPS/MMACS (до 750 MOPS). Кроме непосредственно обработки сигнала DSP управляет процессом переключения прием/передача, переключением диапазонов и другими подобными функциями. Взаимодействие с управляющим контроллером осуществляется через хост интерфейс, работающий в режиме последовательной шины SPI.

Подробное рассмотрение программного обеспечения DSP выходит за рамки данного описания, поэтому я дам только краткое описание процесса обработки сигнала блоком DSP в различных режимах работы.

При работе на прием во всех режимах используется примерно одна и те же «схема» (рис. 6). Прерывистой линией отмечены «узлы» являющиеся специфическими для определенных видов работ (например, автоматический режекторный фильтр не используется в CW).

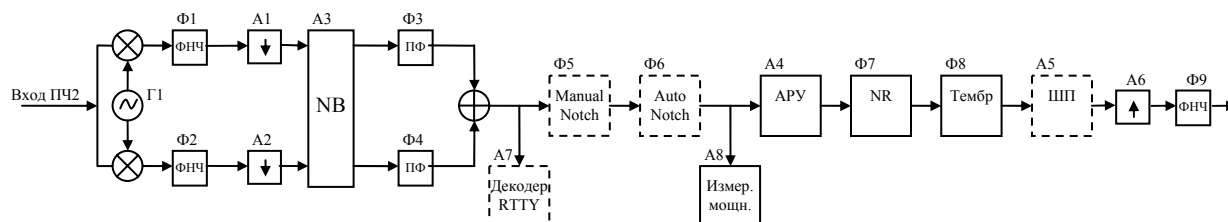


Рисунок 6 Блок схема обработки сигнала ПО блока DSP в режиме приема

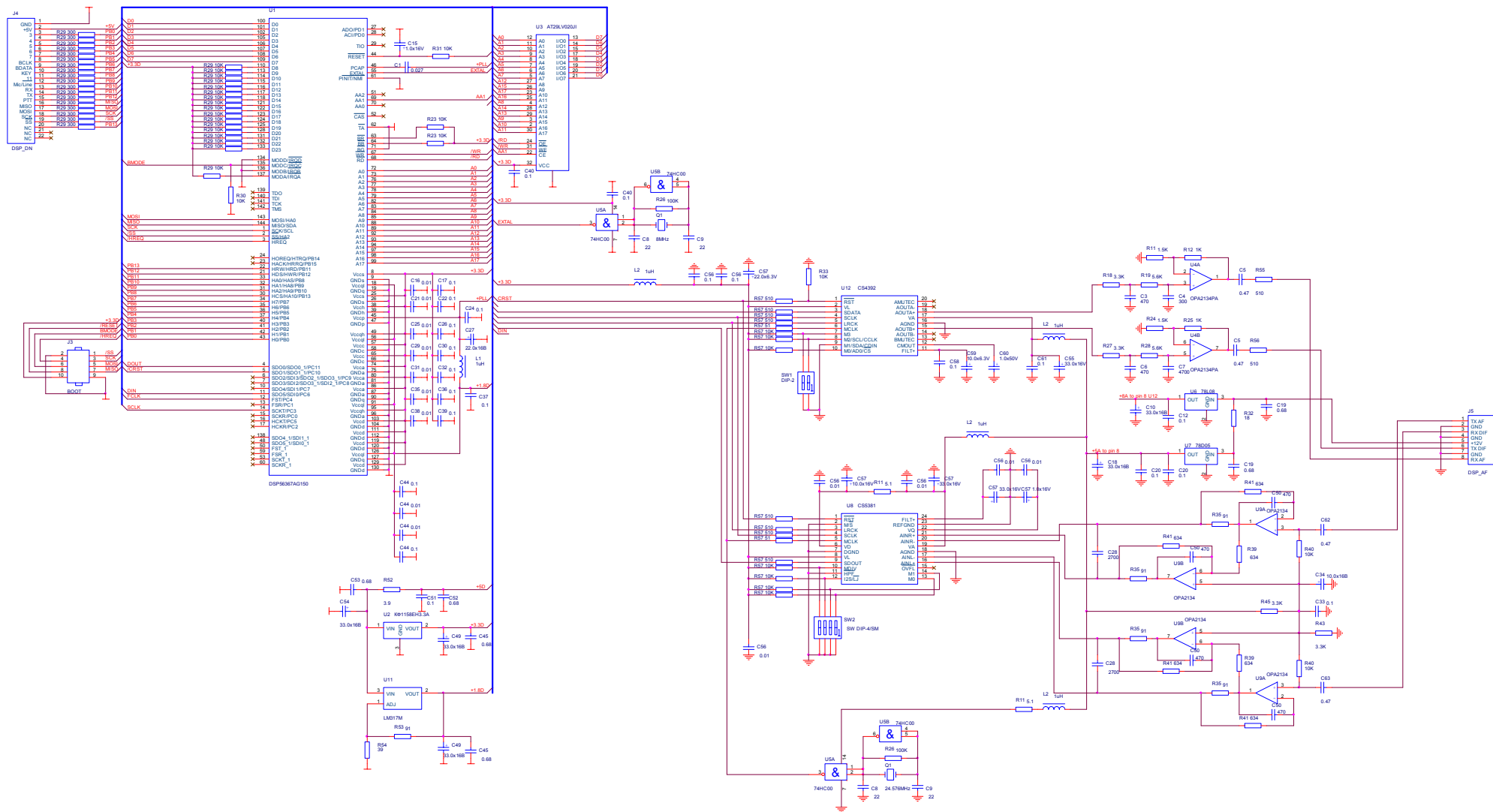


Рисунок 7 Принципиальная схема блока DSP

Оцифрованный входной сигнал с частотой второй ПЧ (около 24кГц) и частотой дискретизации 96кГц поступает на два смесителя, на которые также подаются квадратурные сигналы гетеродина. Полученный комплексный сигнал фильтруется децимационными фильтрами Ф1, Ф2, после чего происходит переход на частоту дискретизации 12кГц (на этой частоте производится почти вся обработка сигнала).

Далее сигнал поступает на подавитель импульсных помех А3. Подавитель импульсных помех использует стандартный алгоритм работы – измеряет среднюю мощность сигнала и при превышении мгновенной мощности сигнала определенного порога (относительно средней мощности) блокирует поступление сигнала на определенный промежуток времени (длительность блокирующего импульса и порог регулируются через меню). Несмотря на то, что наличие достаточно узкополосного фильтра в тракте первой ПЧ (кварцевый фильтр в блоке ВЧ) отрицательно сказывается на параметрах подавителя импульсных помех он достаточно эффективно подавляет помехи от систем зажигания и некоторые виды помех от высоковольтных ЛЭП (рис. 8).

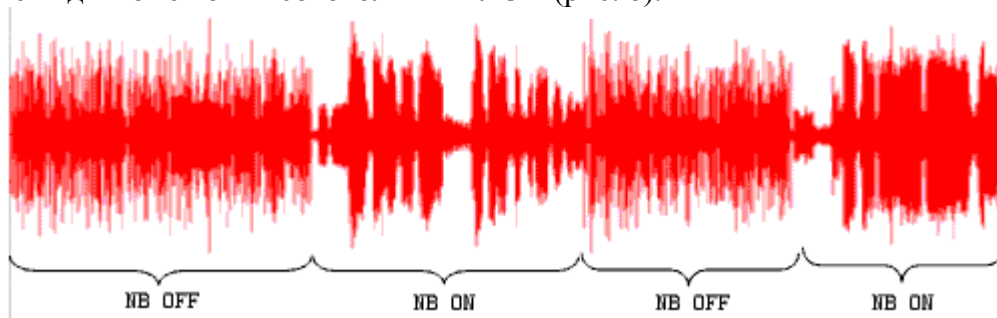


Рисунок 8 Демонстрация работы подавителя импульсных помех

После подавителя импульсных помех сигнал фильтруется фильтрами Ф3 и Ф4. Фильтры синтезируются цифровым процессором исходя из необходимой полосы пропускания (от 100 до 3000 Гц с шагом 50Гц) и центральной частоты фильтра. Фильтры имеют линейную фазовую характеристику (что благоприятно сказывается на приеме CW и цифровых сигналов), один из фильтров вносит постоянный фазовый сдвиг на 90 градусов. После фильтрации сигналы с выхода двух фильтров складываются или вычитаются в зависимости от рабочей боковой полосы (верхняя/нижняя). Рассмотренная часть программы работает как приемник прямого преобразования (с фазовым подавлением нежелательной БП), однако, из-за полностью цифровой реализации недостатки, свойственные традиционной реализации фазового метода подавления нерабочей боковой полосы здесь отсутствуют.

Далее, в зависимости от вида работы, сигнал подается на адаптивные режекторные фильтры Ф5, Ф6 (ручной и автоматический) и, при работе в режиме RTTY, на декодер RTTY.

Ручной режекторный фильтр имеет изменяемую полосу режекции (60-350Гц) и режим слежения за частотой помехи (в этом режиме при перестройке частоты трансивера частота режекторного фильтра автоматически перестраивается за частотой помехи). На спектрограмме (рис. 9) продемонстрирована работа ручного и

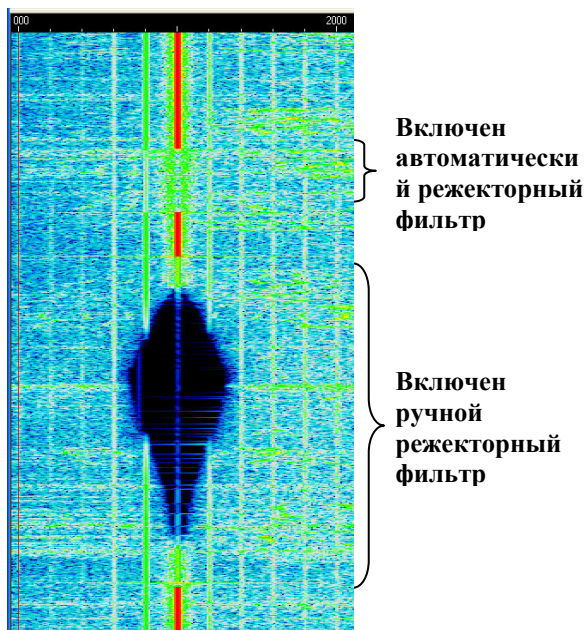


Рисунок 9 Демонстрация работы режекторных фильтров

автоматического режекторных фильтров, а также регулировка полосы режекции (от 60 до 350Гц) ручного режекторного фильтра. Этот фильтр имеет оригинальную структуру, которая позволяет достигать коэффициента прямоугольности до 1.17 при глубине режекции более 60 дБ.

С выхода режекторных фильтров сигнал поступает на систему АРУ А4 и измеритель уровня принимаемого сигнала А8. Измеритель уровня сигнала обеспечивает точное измерение мощности принимаемого сигнала (его показания калибруются отдельно на каждом диапазоне и не зависят от работы системы АРУ).

Система АРУ построена по схеме с регулированием «вперед» без обратной связи. Использование разомкнутой системы совместно с полностью цифровой реализацией обеспечивает отменные динамические характеристики, идеальную линейность амплитудной характеристики при любых коэффициентах передачи, а так же возможность оперативно изменять параметры АРУ в широких пределах. Кроме того, система АРУ срабатывает (уменьшает усиление) еще до появления мощного сигнала на выходе.

После системы АРУ сигнал фильтруется в адаптивном автокорреляционном фильтре Ф7. Адаптивный автокорреляционный фильтр подавления шумов позволяет выделить периодический сигнал на фоне шума, и особенно эффективен при приеме СВ сигналов. На спектрограмме (рис. 10) изображен спектр (в виде «водопада») выходного сигнала трансивера, при приеме телеграфной станции. Для более полной демонстрации работы фильтра частота трансивера перестраивалась в небольших пределах (± 150 Гц, вертикальная линия – маркер 500Гц).

Параметры алгоритма фильтрации (длина автокорреляционной функции и время интегрирования) регулируются через меню. Величину подавления шумов можно плавно регулировать (0...100%).

Регулятор тембра позволяет откорректировать АЧХ в области низких и высоких частот в пределах -6...+6 дБ.

При работе в режиме SSB в программе DSP реализован шумоподавитель, реагирующий на голос. Шумоподавитель реагирует не на уровень сигнала, а на низкочастотную ЧМ компоненту сигнала. Принцип работы подобного устройства (реализованного в аналоговом виде) описан в [11].

Далее частота дискретизации повышается до 96кГц (А6 и интерполяционный фильтр Ф9) и сигнал поступает в м/сх ЦАП U, где преобразуется в аналоговый вид.

Рассмотрим формирование сигнала при работе на передачу в режимах SSB и D-SSB (специальный режим для работы цифровыми видами через звуковую карту). Блок схема изображена на рис. 11. Входной сигнал с микрофонного усилителя или дополнительного входа (в режиме D-SSB) оцифровывается и поступает с частотой дискретизации 96 кГц на обработку в DSP.

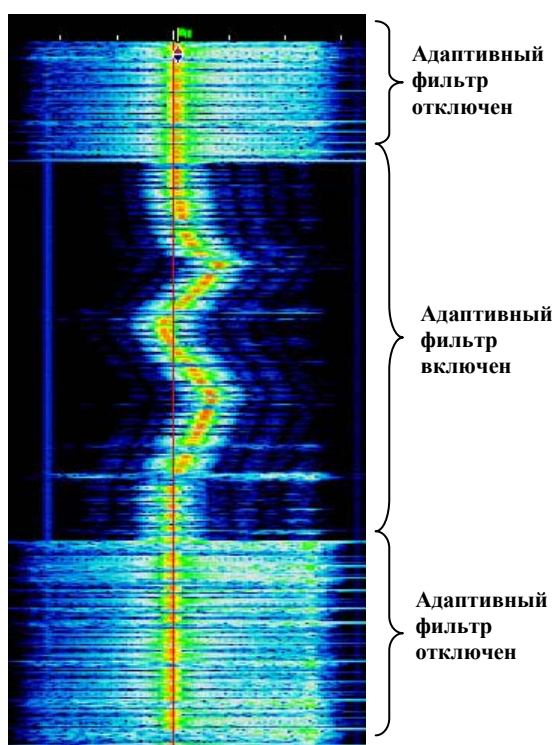


Рисунок 10 Демонстрация работы адаптивного автокорреляционного фильтра

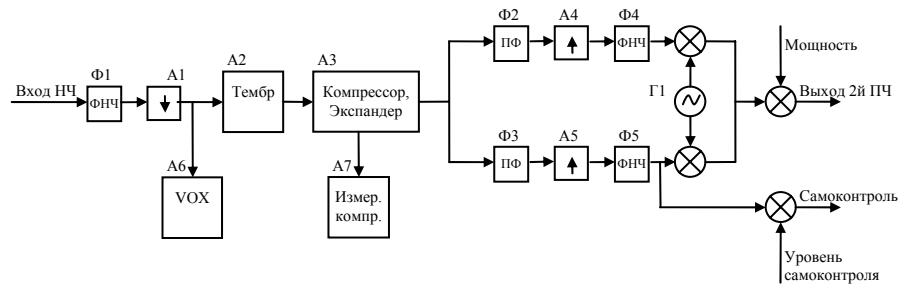


Рисунок 11 Блок схема формирования сигнала ПО блока DSP в режиме передачи SSB, D-SSB (AFSK)

После фильтрации в децимационном фильтре Φ1 происходит переход на частоту дискретизации 12 кГц. Далее сигнал поступает в систему VOX и на регулятор тембра A1, который позволяет откорректировать АЧХ в области низких и высоких частот в пределах -6...+6 дБ. Полностью цифровая система VOX обеспечивает перевод трансивера в режим передачи до появления сигнала на выходе блока DSP.

После регулирования тембра сигнал поступает в компрессор-экспандер. Экспандер (noise gate) обеспечивает снижение уровня шума в паузах при работе SSB (примерно на 20дБ) и имеет регулируемый порог срабатывания. Компрессор работает по огибающей звукового сигнала и обеспечивает уменьшение пик-фактора с целью повышения средней излучаемой мощности. Похожий алгоритм работы компрессора используется в трансивере “Orion” TT565. Цифровая реализация компрессора позволяет избавиться практически от всех недостатков аналоговых компрессоров (связанных в основном с невозможностью получения приемлемых динамических характеристик), в то же время компрессор вносит значительно меньше искажений в сигнал по сравнению с традиционным ограничителем. Компрессор может быть отключен (переведен в режим обычной системы АРУ). Уровень компрессии измеряется измерителем A7.

При работе в режиме D-SSB экспандер отключается, а компрессор переводится в режим системы АРУ, которая предотвращает перегрузку передатчика и возникновение искажений (часто наблюдаемое явление при работе цифровыми видами через звуковую карту).

Оставшаяся часть представляет собой фазовый формирователь SSB сигнала. Как отмечалось выше, из-за полностью цифровой реализации недостатки, свойственные традиционной реализации фазового метода подавления нерабочей боковой полосы здесь отсутствуют.

Сигнал одного из каналов используется для самоконтроля. Т.к. обработка и фильтрация сигнала осуществляется блоком DSP, сигнал самоконтроля в первом приближении соответствует сигналу в эфире (конечно, при правильной регулировке аналоговых узлов).

Рассмотрим формирование сигнала в режиме CW (рис.12). Традиционно трансиверы имеют две проблемы, связанные с формированием CW сигнала – щелчки при манипуляции и искажения первой посылки при работе semi break in или QSK.

С целью устранения искажений первой посылки в цепь манипуляции телеграфного сигнала введена линия задержки A2, которая обеспечивает задержку формирования сигнала на время переключения трансивера на передачу (5мс).

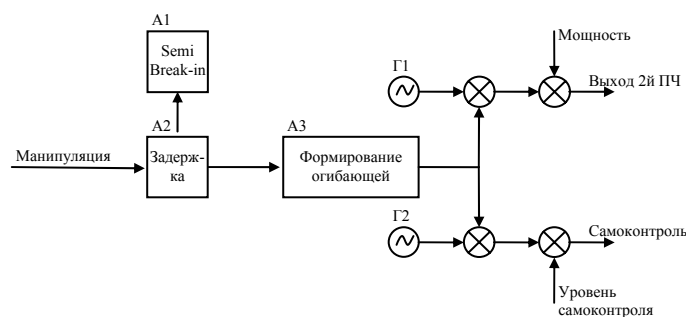


Рисунок 12 Блок схема формирования сигнала ПО блока DSP в режиме передачи CW

Устранение щелчков достигается тщательным выбором формы огибающей телеграфных посылок. В данном трансивере форма огибающей телеграфного сигнала (фронт и спад посылки) формируются в соответствии со следующей формулой:

$$A(t) = \int_0^t \sin^4(t) dt$$

где t – изменяется от 0 до π при формировании фронта и от π до 0 при формировании спада посылки. Изменяя скорость изменения t можно изменять «жесткость» телеграфного сигнала. На рис. 13 представлены результаты расчета формы фронта (спада) телеграфной посылки для разного времени нарастания/спада, а на рис. 3, 4 в первой части описания формы телеграфного сигнала при передаче точек со скоростью 60WPM. На рис. 17 изображен спектр CW сигнала (точки со скоростью 60WPM) на выходе блока DSP. Учитывая, что весь последующий тракт линейный, спектр телеграфного сигнала на выходе трансивера останется без существенных изменений.

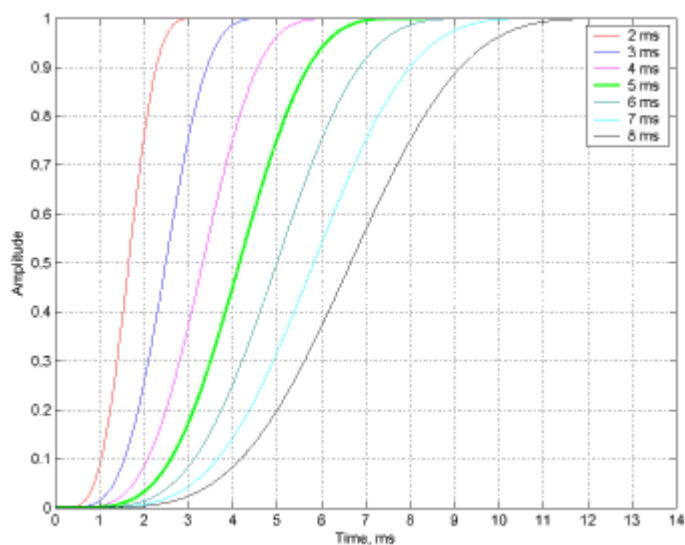


Рисунок 13 Форма фронта/спада телеграфного сигнала для разного времени нарастания/спада

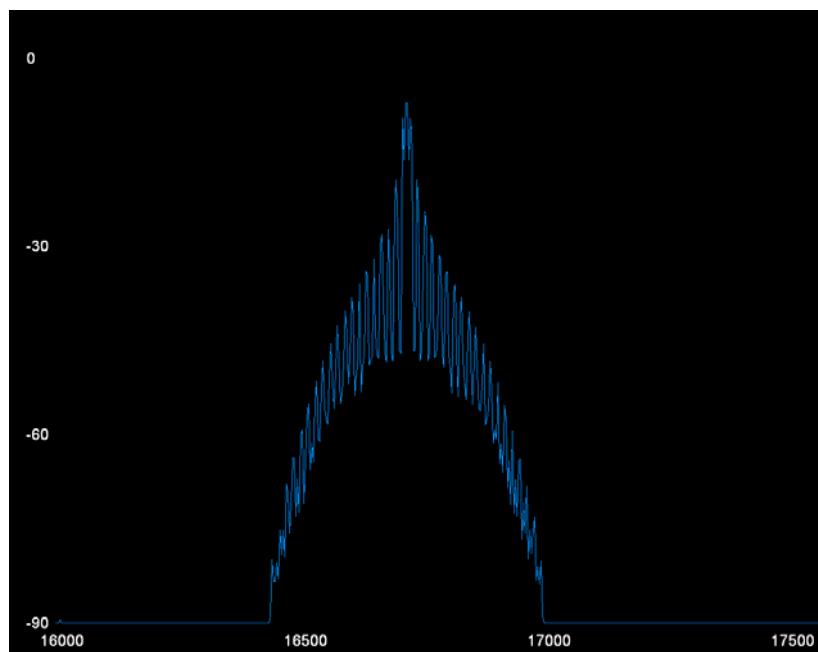


Рисунок 14 Спектр телеграфного сигнала (время спада/нарастания бмс)

Формирователь огибающей (А3, рис.12) обеспечивает формирование посылок телеграфного сигнала в соответствии с описанными выше формулами. Генератор Г1 обеспечивает формирование несущей CW сигнала на частоте второй ПЧ, а Г2 на частоте самоконтроля.

1. Тарасов А. "Портативный КВ трансивер", Радиолюбитель №3 2000 (стр. 35)
2. <http://www.elecraft.com>
3. Vadim Manassewich, Frequency Synthesizers Theory and Design, John Wiley and Sons Inc., 1976.
4. Ulrich L. Rohde, KA2WEU, "A High-Performance Hybrid Frequency Synthesizer," QST March 1995
5. C. Drentea, KW7CD, "Beyond Fractional-N," QEX Mar/Apr 2001 (pp 18-25), May/June 2001 (pp 3-9).
6. Головин О.В. Профессиональные радиоприемные устройства декаметрового диапазона, М. Связь, 1985 (стр. 280-282).
7. Roger G. Cox, Hewlett-Packard Company, "Frequency Synthesizer," US Patent 3,976,945, 24 August 1976.
8. John N. Wells, Marconi Instruments, "Frequency Synthesizers," US Patent 4,609,881, 2 September 1986.
9. Ulrich L. Rohde, KA2WEU, "All About Phase Noise in Oscillators," QEX Dec (pp 3-6), Jan 1994 (pp 9-16) and Feb 1994 (pp 15-24).
10. Oleg Skydan, UR3IQO, "An All Digital Fractional-N Synthesizer," QEX Nov/Dec 2003 (pp 25-33).
11. Ulrich L. Rohde, KA2WEU, "Recent Advances in Shortwave Receiver Design," QST Nov 1992 (pp 54-55).